

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-259495

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

G06F 12/08
G06F 15/16

(21)Application number : 11-061900

(71)Applicant : NEC CORP

(22)Date of filing : 09.03.1999

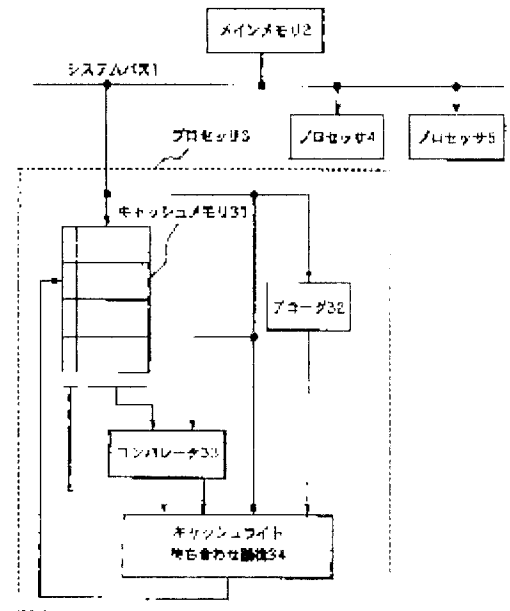
(72)Inventor : MISHIMA TAKAKAZU

(54) CACHE MEMORY CONTROL METHOD AND MULTIPROCESSOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the hit rate of a cache memory by fetching data related to an invalid entry in the cache memory of a present processor when exchanging these data between the other processor and a shared memory.

SOLUTION: A decoder 32 monitors a system bus 1 and decodes various commands flowing on the system bus 1 and when there is a read command issued from other processors 4, 5..., this is detected. A comparator 33 compares an address shown by the read command flowing on the system bus 1 with a data entry stored in a cache memory 31 and detects the coincident entry. When the data entry is coincident and the data entry in the cache memory 31 is invalid, a cache write waiting mechanism 34 waits the flow of read data, which are transferred between the other processor and a main memory 2, on the system bus 1, these data are fetched and written in the cache memory 31 and the invalid entry is validated.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-259495

(P2000-259495A)

(43)公開日 平成12年9月22日(2000.9.22)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 6 F 12/08		G 0 6 F 12/08	B 5 B 0 0 5
	3 1 0		3 1 0 B 5 B 0 4 5
15/16	6 4 5	15/16	6 4 5

審査請求 有 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平11-61900

(22)出願日 平成11年3月9日(1999.3.9)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三嶋 位和

東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 100096024

弁理士 柏原 三枝子

Fターム(参考) 5B005 JJ13 KK14 MM01 NN43 PP24

PP26

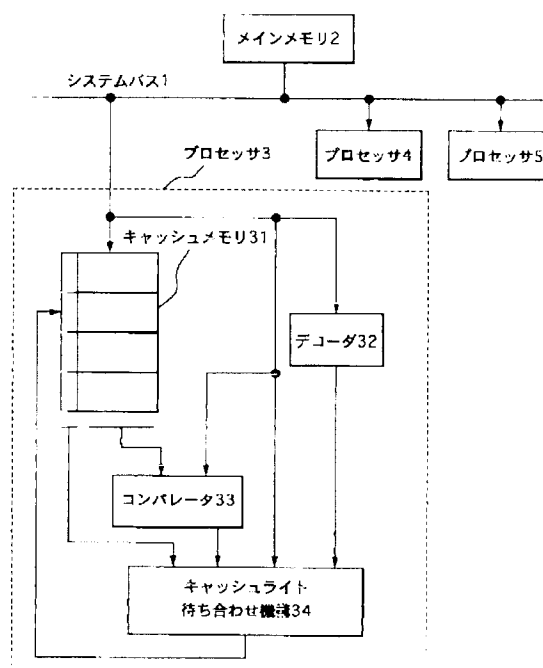
5B045 DD12

(54)【発明の名称】 キャッシュメモリ制御方法及びマルチプロセッサシステム

(57)【要約】 (修正有)

【課題】 マルチプロセッサシステムにおいて他プロセッサのメモリ読出しを利用してキャッシュメモリの無効エントリを自動的に有効化する。

【解決手段】 システムバスを介して前記共有メモリに読出し要求が供給されると前記共有メモリが当該要求に係るアドレスのデータを取り出して前記システムバスを介して送信するマルチプロセッサシステムにおける1のプロセッサ(以下、自プロセッサと呼ぶ。)のキャッシュメモリを制御する方法であって、前記システムバスを監視して前記自プロセッサ以外のプロセッサ(以下、他のプロセッサと呼ぶ。)が前記共有メモリに発した読出し要求を検出する工程と、前記キャッシュメモリのエントリデータ更新の必要性の有無を判断する工程と、ここでエントリデータ更新が必要と判断された場合に前記共有メモリから前記読出し要求に応じて送出されるデータを取り込んで前記キャッシュメモリのエントリデータを更新する工程とを行うようにする。



【特許請求の範囲】

【請求項1】 各々がキャッシュメモリを有する複数のプロセッサがシステムバスを介して1以上の共有メモリに接続され、前記システムバスを介して前記共有メモリに読出し要求が供給されると前記共有メモリが当該要求に係るアドレスのデータを取り出して前記システムバスを介して送信するマルチプロセッサシステムにおける1のプロセッサ（以下、自プロセッサと呼ぶ。）のキャッシュメモリを制御する方法であって、前記システムバスを監視して前記自プロセッサ以外のプロセッサ（以下、他のプロセッサと呼ぶ。）が前記共有メモリに発した読出し要求を検出する工程と、前記キャッシュメモリのエントリデータ更新の必要性の有無を判断する工程と、ここでエントリデータ更新が必要と判断された場合に前記共有メモリから前記読出し要求に応じて送出されるデータを取り込んで前記キャッシュメモリのエントリデータを更新する工程と、を具えることを特徴とするキャッシュメモリ制御方法。

【請求項2】 請求項1に記載のキャッシュメモリ制御方法において、前記キャッシュメモリのエントリデータ更新の必要性の有無を判断する工程は、前記他プロセッサが発した読出し要求に係るデータと前記自プロセッサのキャッシュメモリが記憶しているエントリデータとを比較して、この比較においてデータが一致した場合に、このエントリデータの有効性を判断することを特徴とするキャッシュメモリ制御方法。

【請求項3】 請求項2に記載のキャッシュメモリ制御方法において、前記読出し要求に係るデータと前記自プロセッサのキャッシュメモリが記憶しているエントリデータとの比較は、前記読出し要求に係るアドレスデータと前記キャッシュメモリのアドレスアレイのデータとを比較して行うことを特徴とするキャッシュメモリ制御方法。

【請求項4】 請求項1乃至3のいずれかに記載のキャッシュメモリ制御方法において、前記自プロセッサのキャッシュメモリのエントリデータを更新する工程は、前記キャッシュメモリのエントリデータ更新の必要性を判断する工程において更新が必要と判断された場合にそのエントリデータのアドレスを一時的に保存しておき、当該アドレスに係るデータが前記共有メモリから前記システムバスに供給されたときに、前記一時的に保存したアドレスと前記システムバスに供給された当該アドレスに係るデータとを関連させて前記キャッシュメモリに書込むことを特徴とするキャッシュメモリ制御方法。

【請求項5】 各々がキャッシュメモリを有する複数のプロセッサがシステムバスを介して1以上の共有メモリに接続され、前記システムバスを介して前記共有メモリに読出し要求が供給されると前記共有メモリが当該要求に係るアドレスのデータを取り出して前記システムバスを介して送信するマルチプロセッサシステムにおいて、前

記プロセッサの各々が、前記システムバスを監視してそのプロセッサ（以下、自プロセッサと呼ぶ。）以外のプロセッサ（以下、他のプロセッサと呼ぶ。）が発した読出し要求を検出するデコードと、前記自プロセッサのキャッシュメモリのエントリデータ更新の必要性の有無を判断する判断手段と、この判断手段の判断に応じて前記共有メモリからシステムバスを介して送信されるデータを取り込んで前記キャッシュメモリのエントリデータを更新する手段を具えることを特徴とするマルチプロセッサシステム。

【請求項6】 請求項5に記載のマルチプロセッサシステムにおいて、前記判断手段は、前記デコードが前記他のプロセッサが発した読出し要求を検出し、かつ、当該読出し要求に係るアドレスと一致するエントリデータが前記自プロセッサのキャッシュメモリに存在し、かつ、当該エントリデータが無効である場合に、前記自プロセッサのキャッシュメモリのエントリデータを更新するよう判断することを特徴とするマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はキャッシュメモリ制御方法及びマルチプロセッサシステムに関し、特に、複数のプロセッサがシステムバスを介してメインメモリに接続されるマルチプロセッサシステムにおいてキャッシュメモリの無効エントリを自動的に有効化する制御方法及びシステムに関する。

【0002】

【従来の技術】 一般的に、コンピュータシステムではCPUとメインメモリとの間に高速のバッファメモリであるキャッシュメモリを設けて使用頻度の高いデータを入れておき、アクセスに時間がかかるメインメモリへの参照をできるだけ少なくしてシステムの性能向上を図るようにしている。このキャッシュメモリはシステム処理速度の向上のために有効であるが、複数のCPUが1又はそれ以上の共有メモリに接続されているマルチプロセッサシステムの場合は問題が生じることになる。キャッシュメモリは各CPUに設けられるため、例えば複数のCPUがメインメモリの同一場所を参照し、しかもその1つが値を変更したとき、他のCPUが有するキャッシュメモリの値（エントリ）に矛盾が生じてしまうからである。このため、マルチプロセッサシステムでは1のプロセッサがメインメモリの書換えを行うと、当該書換え部分に係る他プロセッサのキャッシュメモリを無効にするようにしている。

【0003】

【発明が解決しようとする課題】 従来のキャッシュメモリ装置では、このような原因から無効となったエントリについては再度メインメモリにアクセスし、有効なデータを取得し直す必要があった。その場合にメインメモリ

へのアクセスはキャッシュメモリへのアクセスに対して時間がかかるため、性能向上への大きな妨げとなっていた。また、無効となるエントリは、主に他プロセッサとの共有メモリエリアの写しとなっており、上記のように他プロセッサが共有メモリエリアへの書込みを行った結果として無効化されるケースが多い。

【0004】そこで、本発明は、マルチプロセッサシステムにおいて他プロセッサのメモリ読出しを利用して無効エントリを自動的に有効化するようにして、自らメインメモリにアクセスすることなく有効なエントリを極力増やしてシステムの処理性能を向上させる方法及びシステムを提供することを目的とする。

【0005】

【課題を解決するための手段】この目的を達成するために、本発明のキャッシュメモリ制御方法は、各々がキャッシュメモリを有する複数のプロセッサがシステムバスを介して1以上の共有メモリに接続され、前記システムバスを介して前記共有メモリに読出し要求が供給されると前記共有メモリが当該要求に係るアドレスのデータを取り出して前記システムバスを介して送信するマルチプロセッサシステムにおける1のプロセッサ（以下、自プロセッサと呼ぶ。）のキャッシュメモリを制御する方法であって、前記システムバスを監視して前記自プロセッサ以外のプロセッサ（以下、他のプロセッサと呼ぶ。）が前記共有メモリに発した読出し要求を検出する工程と、前記キャッシュメモリのエントリデータ更新の必要性の有無を判断する工程と、ここでエントリデータ更新が必要と判断された場合に前記共有メモリから前記読出し要求に応じて送出されるデータを取り込んで前記キャッシュメモリのエントリデータを更新する工程と、を具えることを特徴とする。

【0006】このように、本発明ではシステムバスを監視し、自プロセッサのキャッシュメモリ内で無効となっているエントリに係る共有メモリのデータが、他プロセッサと共有メモリとの間でやり取りされる際にこれを取込んでエントリを更新することにより、自身はメインメモリにアクセスすることなく無効エントリを自動的に有効化することができる。従ってこのキャッシュメモリのヒット率が向上し、システムの処理能力を高めることができる。

【0007】また、本発明のキャッシュメモリ制御方法では、前記キャッシュメモリのエントリデータ更新の必要性の有無を判断する工程は、前記他プロセッサが発した読出し要求に係るデータと前記自プロセッサのキャッシュメモリが記憶しているエントリデータとを比較して、この比較においてデータが一致した場合に、このエントリデータの有効性を判断することの特徴とする。このように判断を行うことにより適切にキャッシュメモリ内の無効エントリを有効化することができる。

【0008】また、本発明のキャッシュメモリ制御方法

では、前記読出し要求に係るデータと前記自プロセッサのキャッシュメモリが記憶しているエントリデータとの比較は、前記読出し要求に係るアドレスデータと前記キャッシュメモリのアドレスアレイのデータとを比較して行うことが望ましい。このように、システムバス及びキャッシュメモリの全データを参照して比較するよりもアドレス同士を比較することにより、この比較処理の単純化、高速化を図ることができる。

【0009】また、本発明のキャッシュメモリ制御方法では、前記自プロセッサのキャッシュメモリのエントリデータを更新する工程は、前記キャッシュメモリのエントリデータ更新の必要性を判断する工程において更新が必要と判断された場合にそのエントリデータのアドレスを一時的に保存しておき、当該アドレスに係るデータが前記共有メモリから前記システムバスに供給されたときに、前記一時的に保存したアドレスと前記システムバスに供給された当該アドレスに係るデータとを関連させて前記キャッシュメモリに書込むことを特徴とする。上述したように本発明ではシステムバス上のメモリ読出し要求を検出してエントリデータ更新の必要性を判断しており、また共有メモリが読出し要求を受けてから当該要求に係るデータを供給するまでにある程度の時間がかかる。そのため本発明では読出し要求に示されるアドレスを一時的に保存して、このアドレスに係るデータがシステムバスを流れるときに取込んでキャッシュメモリに書き込むようにする。

【0010】更に、本発明に係るマルチプロセッサシステムは、各々がキャッシュメモリを有する複数のプロセッサがシステムバスを介して1以上の共有メモリに接続され、前記システムバスを介して前記共有メモリに読出し要求が供給されると前記共有メモリが当該要求に係るアドレスのデータを取り出して前記システムバスを介して送信するマルチプロセッサシステムにおいて、前記プロセッサの各々が、前記システムバスを監視してそのプロセッサ（以下、自プロセッサと呼ぶ。）以外のプロセッサ（以下、他のプロセッサと呼ぶ。）が発した読出し要求を検出するデコーダと、前記自プロセッサのキャッシュメモリのエントリデータ更新の必要性の有無を判断する判断手段と、この判断手段の判断に応じて前記共有メモリからシステムバスを介して送信されるデータを取り込んで前記キャッシュメモリのエントリデータを更新する手段を具えることを特徴とする。

【0011】また、前記判断手段は、前記デコーダが前記他のプロセッサが発した読出し要求を検出し、かつ、当該読出し要求に係るアドレスと一致するエントリデータが前記自プロセッサのキャッシュメモリに存在し、かつ、当該エントリデータが無効である場合に、前記自プロセッサのキャッシュメモリのエントリデータを更新するよう判断することの特徴とする。

【0012】

【発明の実施の形態】本発明の実施の形態を、添付の図面を参照しながら以下に説明する。図1は本発明のキャッシュメモリ制御方法を適用したマルチプロセッサシステムの一例を示す図である。図1に示すマルチプロセッサシステムでは、複数のプロセッサ(3、4、5・・・)とメインメモリ2とがシステムバス1を介して相互に接続されている。以下に1つのプロセッサ3の構成を詳細に述べるが、その他のプロセッサ4、5・・・も基本的には同じ動作をするものとする。

【0013】プロセッサ3は、キャッシュメモリ31と、デコーダ32と、コンパレータ33と、キャッシュライト待ち合わせ機構34とを具えている。デコーダ32はシステムバス1を監視し、該システムバス1を流れる種々のコマンドをデコードして他プロセッサ(4、5・・・)が発するリードコマンドがあれば検出する。コンパレータ33はシステムバス1を流れるリードコマンドが示すアドレスと、キャッシュメモリ31に格納されたデータエントリとを比較して、一致するものを検出する。キャッシュライト待ち合わせ機構34は、上記データエントリが一致した場合にキャッシュメモリ31のデータエントリが無効であるか有効であるか判断し、エントリが無効である場合に、他プロセッサとメインメモリ2間で転送されるリードデータがシステムバス1を流れてくるのを待ち合わせ、そのデータを取込んでキャッシュメモリ31に書込むことにより前記無効なエントリを有効化する。

【0014】図2は、図1に示すマルチプロセッサシステムの構成をより詳細に説明するブロック図である。図2に示すように、システムバス1はアドレスバス11と、コマンドバス12と、データバス13と、データレディバス14とから構成されている。このシステムでは、あるプロセッサが共有メインメモリ2の書換えを行ったらその部分に係る他プロセッサのキャッシュメモリのエントリに無効を示すフラグがセットされる。また、あるプロセッサがメインメモリ2のデータ読み込みを行う場合には、システムコマンドバス12にリードコマンドを発するとともにシステムアドレスバス11にリード希望データのアドレスを示す。メインメモリ2は指定されたアドレスのデータを取り出し、システムデータレディバス14にリードデータを送信する旨を告げるとともにシステムデータバス13を用いてリードデータを送信する。

【0015】図2において、キャッシュメモリ31は、アドレスレイ311と、データレイ312とを具えている。コンパレータ33はこのアドレスレイ311のエントリデータとシステムアドレスバス11を流れるアドレスデータとを比較し、両データが一致するか否かを判定する。ANDゲート35は、コンパレータ33での比較によりアドレスデータが一致し、かつここで一致したエントリデータが無効となっており、かつ前記デコ

ーダ32からコマンドバス12上にリードコマンドがある場合に、キャッシュライト待ち合わせ機構34に信号を出力する。キャッシュライト待ち合わせ機構34はANDゲートからの信号を受けると、システムデータレディバス14の信号をトリガとして、書込み指示信号WRT及びシステムアドレスバス11上のアドレスデータ(書込みアドレス信号WAD)をアドレス選択機構36に送出する。アドレス選択機構36は、キャッシュライト待ち合わせ機構34からの信号WRTを受けると書込みアドレス信号WADを、その他のときはシステムアドレスバス11のいずれかを選択してキャッシュメモリ31に入力する。

【0016】このように構成されたマルチプロセッサシステムの稼働時において、プロセッサ3のキャッシュメモリ31の無効エントリを有効化する工程を説明する。メインメモリ2のデータに他のプロセッサがアクセスするときには、当該他のプロセッサはシステムコマンドバス12にメモリリードコマンドを、システムアドレスバス12上にリードアドレスを送出する。このリードコマンドがプロセッサ3のデコーダ32に検出され、ANDゲート35に信号REDが送信される。

【0017】このとき、キャッシュメモリ31のアドレスレイ311はシステムアドレスバス11を流れるアドレスデータを取込み、自己が保有するエントリデータをコンパレータ33に、また、エントリデータの有効性を示す信号VALをANDゲート35に送出する。コンパレータ33は、アドレスレイ311のエントリデータとシステムアドレスバス11の値(他プロセッサが発したリード希望アドレス)とを比較し、一致した場合にANDゲート35に信号HITを出力する。

【0018】ANDゲート35は信号RED、HIT、VALを入力とし、信号RED及びHITが有効であり、信号VALが無効である場合に、信号UDTを出力する。すなわち、信号REDがシステムコマンドバス12にリードコマンドが存在することを示し、信号HITがキャッシュメモリ31のエントリデータと一致するデータがシステムデータバス13に流れることを示し、かつ、信号VALが当該一致するエントリデータが無効であることを示す場合に、この無効エントリを有効化させるべく指示(信号UDT)が出力される。

【0019】キャッシュライト待ち合わせ機構34には、信号UDTと、システムデータレディバス14と、システムアドレスバス11とが入力される。前述したようにメインメモリ2からリードデータが送出されるときには、システムデータレディバス14に信号が流れる。この待ち合わせ機構34は、ANDゲート35から信号UDTを受取った場合にシステムアドレスバス11上のアドレスデータを一時的に保存しておき、システムデータレディバス14の信号を検知した(メインメモリ2から前記アドレスに係るデータが送信される)時点で、キャッシ

メモリ書込み信号WRT及び書込みアドレス信号WADをアドレス選択機構36に出力する。

【0020】アドレス選択機構36はこれらの信号WRT及びWADと、システムアドレスバス11とを人力とし、信号WRTの有効時に限り信号WADを有効、それ以外の場合はシステムアドレスバス11の値を有効としてキャッシュメモリ31の書込みを制御する。信号WRTが有効になると、キャッシュメモリ31のデータレイ312はシステムデータバス13上を流れるデータを取り込み、信号WADに示されるエントリに保存する。同時に、キャッシュメモリ31のアドレスレイ311では信号WADに示されるエントリが有効であることを示すフラグがセットされる。このようにして、プロセッサ3のキャッシュメモリ31は自らメインメモリ2にアクセスすることなく自己のデータエントリを有効化する。

【0021】以上本発明の実施例の構成・動作について詳細に説明したが、キャッシュメモリ31に対する書込み／読出しの排他制御は、システムバス1上にライトコマンドが検出された際のキャッシュ無効化手法として当業者にとって周知であるので、その説明はここでは省略する。

【0022】

【発明の効果】上記に詳細に説明したように、本発明ではシステムバスを監視し、自プロセッサのキャッシュメモリ内の無効エントリに係るデータが他プロセッサと共

有メモリとの間でやり取りされる際にこれを取込むようにしているため、自身はメインメモリにアクセスすることなく無効エントリを自動的に有効化することができる。従ってこのキャッシュメモリのヒット率が向上し、システムの処理能力を飛躍的に高めることができる。

【図面の簡単な説明】

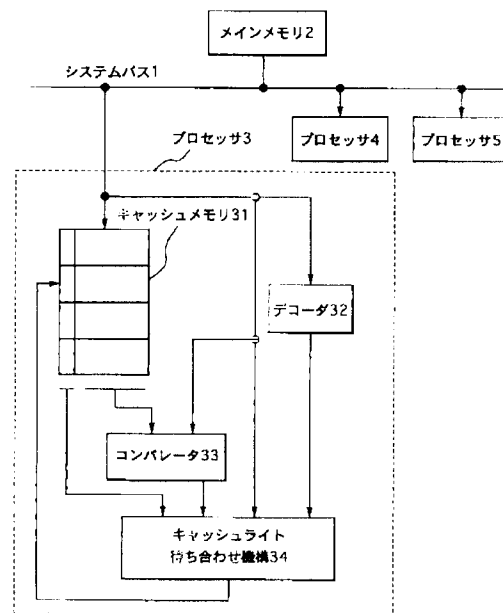
【図1】本発明に係るマルチプロセッサシステムの概略を示すブロック図である。

【図2】本発明に係るマルチプロセッサシステムを詳細に示すブロック図である。

【符号の説明】

1	システムバス
2	メインメモリ
3、4、5	プロセッサ
11	システムアドレスバス
12	システムコマンドバス
13	システムデータバス
14	システムデータレディバス
31	キャッシュメモリ
32	デコーダ
33	コンパレータ
34	キャッシュライト待ち合わせ機構
35	ANDゲート
36	アドレス選択機構
311	アドレスレイ
123	データレイ

【図1】



【図2】

